

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

CLIPPEDIMAGE= JP405029310A

PAT-NO: JP405029310A

DOCUMENT-IDENTIFIER: JP 05029310 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: February 5, 1993

INVENTOR-INFORMATION:

NAME

SATO, HIROSHI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP03182823

APPL-DATE: July 24, 1991

INT-CL (IPC): H01L021/316

US-CL-CURRENT: 438/427,438/FOR.227

ABSTRACT:

PURPOSE: To remove the lateral expanse (bird's beak) of an oxidation area, in the element isolating formation method by selective oxidation method.

CONSTITUTION: A pad oxide film 2 is made on a silicon substrate, and a silicon nitride film 3 is stacked on the oxide film 2, and an element isolating region is patterned. Then, a silicon nitride film is made as a sidewall 4 at the sidewall of the insulating film on the silicon substrate 1, and then a groove 5 is made in the silicon substrate, and a polysilicon film 6 is grown selectively in the groove, and then boron 7 is implanted as a channel stopper 8, and then

the polysilicon film 6 is oxidated to form an element
isolating oxide film 9.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-29310

(43)公開日 平成5年(1993)2月5日

(51)Int.Cl.⁵

H 0 1 L 21/316

識別記号

庁内整理番号

7342-4M

F I

H 0 1 L 21/ 94

技術表示箇所

A

審査請求 未請求 請求項の数2(全 4 頁)

(21)出願番号 特願平3-182823

(22)出願日 平成3年(1991)7月24日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 佐藤 浩

東京都港区芝五丁目7番1号日本電気株式
会社内

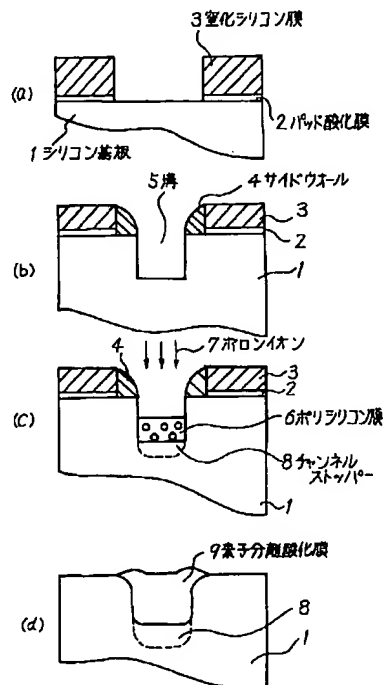
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】選択酸化法による素子分離形成法に於て、酸化領域の横方向の広がり（バズビーク）をなくす。

【構成】シリコン基板1にパッド酸化膜2を形成し、前記酸化膜上に窒化シリコン膜3を堆積し、素子分離領域をパターニングする。その後、シリコン基板1上の絶縁膜の側壁にサイドウォール4として窒化シリコン膜を形成した後、シリコン基板に溝5を形成し、その溝に選択的にポリシリコン膜6を成長させ、その後チャンネルストッパー8としてボロイオン7を注入した後、前記ポリシリコン膜を酸化させ素子分離酸化膜9を形成する。



【特許請求の範囲】

【請求項1】 シリコン基板上に酸化シリコン膜と第1の窒化シリコン膜を順次形成したのち素子分離領域のこの第1の窒化シリコン膜と酸化シリコン膜とを選択的に除去し開口部を形成する工程と、この開口部の側壁に第2の窒化シリコン膜からなるサイドウォールを形成する工程と、このサイドウォールと前記第1の窒化シリコン膜をマスクとし前記シリコン基板に溝を形成したのちこの溝内に選択的にシリコン層を成長させる工程と、このシリコン層を介してチャンネルストッパーとしての不純物をイオン注入したのちこのシリコン層を酸化する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 シリコン基板に形成する溝はテーパを有する請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置の製造方法に関し、特に選択酸化による素子分離酸化膜の形成法に関する。

【0002】

【従来の技術】従来の半導体装置の製造工程における選択酸化法による素子分離酸化膜の形成方法は、LOCOS(Local oxidation of Silicon)と呼ばれる方法で主に形成されていた。以下図4を用いて説明する。

【0003】まず図4(a)に示すように、シリコン基板1上に薄いパッド酸化膜2Aと厚い窒化シリコン膜3Aを形成したのち、素子分離領域の窒化シリコン膜3Aとパッド酸化2Aをパターンニングし、開口部を形成する。

【0004】次に図4(b)に示すように、窒化シリコン膜3Aをマスクとして開口部内のシリコン基板を選択的に酸化し、素子分離酸化膜19を形成する。

【0005】

【発明が解決しようとする課題】デバイスの高集積化が進むにつれ素子分離領域の縮小化、つまり選択酸化法による素子分離酸化膜の形成法に於て、酸化領域の横方向の広がり(バーズビーク)の縮小化が要求される。そのため、従来の選択酸化による素子分離酸化膜の形成方法では、バーズビークを縮小するため、窒化シリコン膜3Aを厚くし、パッド酸化膜2Aを薄くする必要がある。パッド酸化膜の薄膜化、及び窒化シリコン膜を厚くすることによりバーズビークの縮小は認められるものの、窒化シリコン膜のもたらす応力をパッド酸化膜で緩和することができなくなるため、シリコン基板に欠陥を発生させ、デバイス特性を劣化させるという欠点がある。

【0006】また、チャンネルストッパーとして所望の不純物をイオン注入する場合、パッド酸化を介してシリコン基板に注入し欠陥の発生を抑制していたが、パッド酸化膜が薄くなると、窒化シリコン膜除去の際、パッド

酸化膜が同時に除去されるためベアー注入となり、欠陥が多量に発生するという欠点がある。

【0007】

【課題を解決するための手段】本発明の半導体装置の製造方法は、シリコン基板上に酸化シリコン膜と第1の窒化シリコン膜を順次形成したのち素子分離領域のこの第1の窒化シリコン膜と酸化シリコン膜とを選択的に除去し開口部を形成する工程と、この開口部の側壁に第2の窒化シリコン膜からなるサイドウォールを形成する工程と、このサイドウォールと前記第1の窒化シリコン膜をマスクとし前記シリコン基板に溝を形成したのちこの溝内に選択的にシリコン層を成長させる工程と、このシリコン層を介してチャンネルストッパーとしての不純物をイオン注入したのちこのシリコン層を酸化する工程とを含むものである。

【0008】

【実施例】次に本発明について図面を参照して説明する。図1(a)～(d)は本発明の第1の実施例を説明するための半導体チップの断面図である。

20 【0009】まず図1(a)に示すように、低濃度P型の面方位(100)を有するシリコン基板1に、薄いパッド酸化膜(SiO_2)を45nm、窒化シリコン膜(Si_3N_4)3を300nmの厚さに順次形成したのちパターンニングし、素子分離領域に開口部を形成する。

【0010】次に図1(b)に示すように、シリコン基板1上に第2の窒化シリコン膜を形成したのちエッチバックし、開口部の側壁にサイドウォール4を形成する。このサイドウォールは横方向の酸化過程を抑制し、素子分離領域の横方向の広がりを小さくする。更に実際のマスク設計寸法より小さい素子分離領域が形成されるわけである。その後、サイドウォール4と窒化シリコン膜3をマスクとし、異方性エッチング法によりシリコン基板1に溝5を200nmの深さで形成する。次に図1(c)に示すように、この溝5にポリシリコン膜6(100nm)を堆積させる。その後ボロニオン7を100KeV、 $1.5 \times 10^{13} \text{ cm}^{-2}$ の条件でポリシリコン膜6を介してシリコン基板1に注入しチャンネルストッパー8を形成する。その際、ポリシリコン膜6は注入損傷を緩和させる保護膜となる。

30 【0011】次に図1(d)に示すように、ポリシリコン膜6を1000℃、2時間、ウェット酸化させ素子分離酸化膜9を形成する。次いで窒化シリコン膜を除去する。

【0012】従来技術と比較するため図2に素子分離領域の横方向の広がりの素子分離酸化膜の膜厚依存を示す。直線Bに示す従来技術の素子分離領域の横方向の広がりには、直線Aに示す第1の実施例による素子分離領域の横方向の広がりは小さく、本発明の優位性が認められる。

50 【0013】図3(a)～(d)は本発明の第2の実施

3

例を説明するための半導体チップ断面図である。

【0014】まず図3(a)に示すように、低濃度P型の面方位(100)を有するシリコン基板1に、第1の実施例と同様に薄いパッド酸化2と窒化シリコン膜3とを形成し、パターニングして開口部を形成する。次に図3(b)に示すように、この開口部の側壁にサイドウォール4を形成する。更に、シリコン基板に溝5Aを200nmの深さで形成する。この際、ドライエッチングの異方性を弱めテーパを形成し、溝の側壁が傾くようにする。

【0015】次に図3(c)に示すように、溝5A中に選択的にポリシリコン膜6Aを100nmの厚さに堆積させる。第1の実施例に比べ、この溝5Aの側壁の傾きは、横方向の酸化過程を抑制し、素子分離領域の横方向広がりをなくすと共に、ポリシリコン膜6Aの応力を緩和する。その後、第1の実施例と同様に、ボロンイオン7をポリシリコン膜6Aを介してシリコン基板に注入しチャンネルストッパー8Aを形成する。次いで図3(d)に示すように、開口部内のシリコン基板をウェット酸化させ、素子分離酸化膜9Aを形成する。

【0016】尚、上記実施例においては、溝中に形成するシリコン膜としてポリシリコン膜を用いた場合について説明したが、シリコン基板に比較して酸化される速度の早いエピタキシャル成長による単結晶シリコン膜やアモルファスシリコン膜を用いてもよい。

【0017】

【発明の効果】以上説明したように本発明は、シリコン

4

基板上的のシリコン窒化膜の開口部の側壁にサイドウォールとして窒化シリコン膜を形成した後、シリコン基板に溝を形成し、溝内に選択的にシリコン膜を成長させ、その後チャンネルストッパーとして所望の不純物をイオン注入した後、そのシリコン膜を酸化させることにより、素子分離領域の横方向の広がりがなく、実際の素子分離形成領域の寸法より小さい素子分離酸化膜を形成できるという効果がある。

【図面の簡単な説明】

10 【図1】第1の実施例を説明するための半導体チップの断面図。

【図2】素子分離領域の横方向広がり素子分離形成領域の酸化膜厚依存性を示す図。

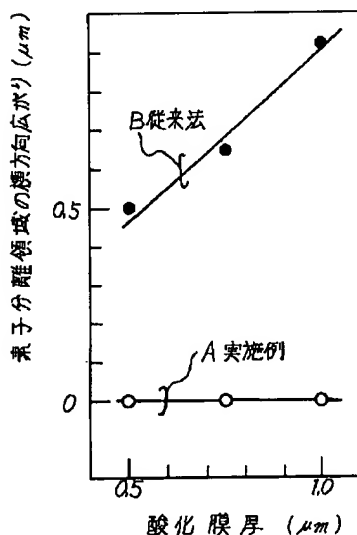
【図3】本発明の第2の実施例を説明するための半導体チップの断面図。

【図4】従来技術を説明するための半導体チップの断面図。

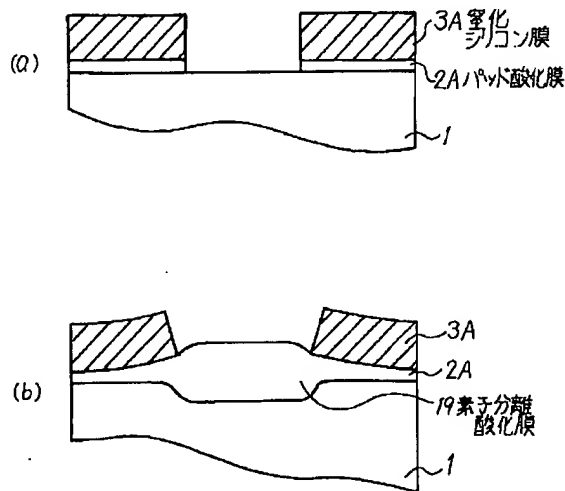
【符号の説明】

- 1 シリコン基板
- 2, 2A パッド酸化膜
- 3, 3A 窒化シリコン膜
- 4 サイドウォール
- 5, 5A 溝
- 6, 6A ポリシリコン膜
- 7 ボロンイオン
- 8, 8A チャンネルストッパー
- 9, 19 素子分離酸化膜

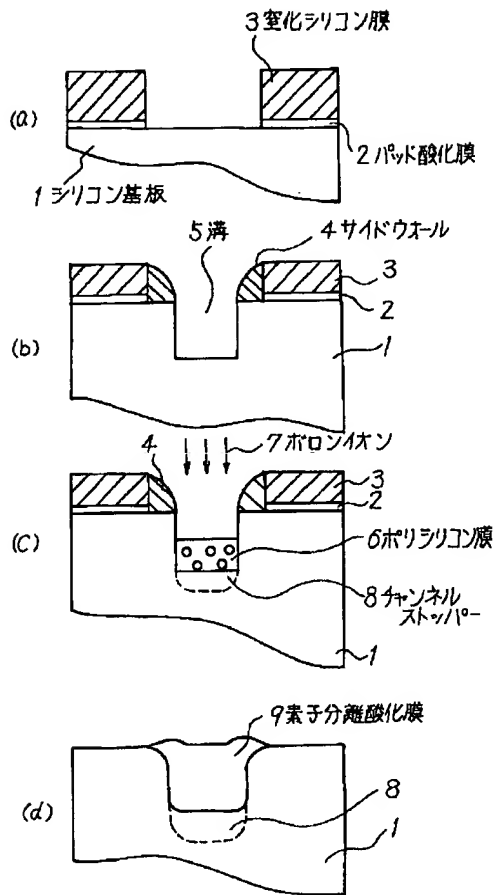
【図2】



【図4】



【図1】



【図3】

